نشریه علمی‌پژوهشی مهندسی و مدیریت انرژی

سال دوازدهم، شمارهٔ سوم/ پاییز ۱۴۰۱/ صفحه ۶۸ـ۷۹

نوع مقاله: پژوهشی

تاریخ دریافت: ۱۳۹۸/۴/۲۷ تاریخ پذیرش: ۱۴۰۰/۹/۲۹

ارائهٔ یک توپولوژی جدید متقارن و نامتقارن برای اینورتر چندسطحی به‌منظور کاهش تعداد ادوات کلیدزنی

مجید حسین‌پور[۱*]، علی سیفی[۲]

[۱] دانشیار گروه مهندسی برق و کامپیوتر، دانشکده فنی مهندسی، دانشگاه محقق اردبیلی، اردبیل، ایران
Hoseinpour.majid@uma.ac.ir

[۲] کارشناس ارشد گروه مهندسی برق و کامپیوتر، دانشکده فنی مهندسی، دانشگاه محقق اردبیلی، اردبیل، ایران
ali_seifi@student.uma.ac.ir

چکیده: در دهه‌های اخیر اینورترها نقش مهمی در سیستم‌های قدرت ایفا کرده‌اند و بهبود عملکرد آن‌ها هم از لحاظ ساختاری و هم از لحاظ کنترلی، جزء علایق محققان بوده است. در این مقاله یک اینورتر چندسطحی متقارن و نامتقارن جدید با هدف کاهش تعداد اجزای کلیدزنی به‌ویژه برای تعداد سطوح خروجی زیاد ارائه شده است. این توپولوژی در مقایسه با توپولوژی‌های کلاسیک و ساختارهای متقارن ارائه‌شدهٔ اخیر که سعی در کاهش ادوات کلیدزنی دارند، در تعداد سطح مشابه، حاوی تعداد کلید نیمه‌هادی قدرت کمتری است. برای نشان دادن کارایی ساختار پیشنهادی، یک مقایسهٔ جامع بین توپولوژی پیشنهادی و توپولوژی‌های کلاسیک و ساختارهای ارائه‌شدهٔ اخیر از حیث تعداد سوئیچ، تعداد درایور و تلفات توان ارائه شده است. توپولوژی پیشنهادی برای حالت ۲۱ سطحی متقارن و نیز ۳۷ سطحی نامتقارن با استفاده از ۱۴ سوئیچ در محیط Matlab/Simulink شبیه‌سازی شده و نمونهٔ آزمایشگاهی آن برای تأیید کارکرد اینورتر پیشنهادی ساخته شده است. نتایج حاصل بیانگر صحت محاسبات و شبیه‌سازی بوده و نتایج آزمایشگاهی، تطابق دقیق با نتایج شبیه‌سازی را نشان می‌دهد.

واژه‌های کلیدی: اینورتر چندسطحی، محاسبهٔ توان، کاهش تعداد سوئیچ، کاهش تعداد درایور.

---

* نویسنده مسئول

۱. مقدمه

بهره‌برداری مبدل‌های الکترونیک قدرت به‌علت پیشرفت روزافزون ادوات نیمه‌هادی قدرت، قیمت مناسب و حجم کم، روزبه‌روز در حال افزایش است. اینورترهای منبع ولتاژ در کاربردهای متعدد صنعتی از جمله لوکوموتیوها، پیشرانهٔ دریایی، جبران‌سازی توان راکتیو، درایو موتور در رنج‌های توانی مختلف، کاربردهای متصل به شبکه به‌خصوص در شبکه‌های توزیع، تبدیل توان منابع انرژی تجدیدپذیر فتوولتائیک و بادی، منابع برق اضطراری (UPS)، سیستم‌های HVDC و ایستگاه‌های شارژ سریع خودرو برقی و... به کار گرفته شده است [۱ـ۳].

اینورترهای چندسطحی در مقایسه با اینورترهای دوسطحی دارای مزایایی نظیر کیفیت بالای توان خروجی، THD پایین، دامنهٔ بالای مؤلفهٔ اصلی، راندمان بالا، تلفات سوئیچینگ پایین، dv/dt پایین، PIV پایین، قابلیت گذر از خطای بالا هستند [۱]. مبدل‌های چندسطحی کلاسیک به سه دستهٔ اصلی دیود با نقطهٔ خنثای مهارشده (NPC)، خازن شناور (FC) و اینورترهای چندسطحی آبشاری پل H (CHB) تقسیم‌بندی می‌شود. با افزایش تعداد سطوح ولتاژ خروجی ساختارهای کلاسیک با مشکل افزایش تعداد سوئیچ‌ها و المان‌های جانبی روبه‌رو می‌شوند که این امر به‌خصوص در سطوح ولتاژ بالاتر مستقیماً هزینه و حجم را افزایش می‌دهد [۴].

کیفیت شکل موج خروجی اینورترهای چندسطحی با افزایش تعداد سطوح افزایش می‌یابد. در مبدل‌های چندسطحی کلاسیک با افزایش تعداد سطوح خروجی، تعداد ادوات کلیدزنی آن‌ها به‌شدت افزایش می‌یابد. این امر پیچیدگی سیستم، حجم و هزینه را افزایش می‌دهد و می‌تواند تا حدودی قابلیت اطمینان و کارایی مبدل را کاهش دهد. بنابراین برای تولید شکل موجی با کیفیت بهتر سعی می‌شود تا سوئیچ‌ها و مدارهای راه‌انداز گیت به حداقل تعداد ممکن برسد [۵]. ساختارهای جدید که با هدف کاهش کلید ارائه می‌شوند، در دو دستهٔ اصلی قرار می‌گیرند: تغییرات توپولوژیک و استفاده از منابع نامتقارن. دستهٔ دوم در مقایسه با دستهٔ اول تعداد سطوح خروجی بیشتری تولید می‌کنند ولی در این دسته استرس ولتاژ بیشتر بوده و تلفات کلیدها و توزیع توان برابری را ندارند.

به‌طور کلی سطح ولتاژ بالا و فرکانس سوئیچینگ بالا دو عامل برای بهبود اعوجاج هارمونیک کل (THD) ولتاژ خروجی اینورتر هستند. با وجود این، با بالا بردن فرکانس کلیدزنی تلفات سوئیچینگ اینورترهای سنتی دوسه‌سطحی بیشتر شده و به یک فیلتر بزرگ نیاز است. از طرف دیگر برای دستیابی به سطح ولتاژ بالا تعداد ادوات نیمه هادی در یک اینورتر چندسطحی کلاسیک با شیب زیاد افزایش می‌یابد که پیچیدگی مدار، هزینه و اندازهٔ سیستم را افزایش می‌دهد. علاوه بر این، افزایش تعداد منبع تغذیهٔ ایزوله، مدارات راه‌انداز و مدارهای جانبی منجر به افزایش هزینه ها و کاهش قابلیت اطمینان و کارایی مبدل می‌شود و تحمل خطا نیز پیچیده‌تر می‌شود. بنابراین ترجیح داده می‌شود ساختاری ارائه شود که برای تولید تعداد سطوح ولتاژ خروجی بیشتر از ادوات نیمه هادی قدرت کمتری استفاده شود و در نتیجه باعث کاهش پیچیدگی و افزایش قابلیت اطمینان مبدل شود. به‌تازگی چندین پیکربندی اینورتر چندسطحی سوئیچ کاهش‌یافته توسط محققان ارائه شده است تا سطح ولتاژ را با تعداد کمتر سوئیچ‌های نیمه‌هادی قدرت تولید کنند.

در مرجع [۶] یک ساختار نوآورانه برای اینورتر چندسطحی تک‌فاز ارائه شده است که برای تولید هفت سطح ولتاژ، شش سوئیچ استفاده کرده و سوئیچ‌های آن ولتاژ پیک معکوس پایینی را تحمل می‌کنند. در مرجع [۷] یک ساختار اصلاح‌شده برای ساختار مرجع [۶] ارائه شده است که برای افزایش هر دو سطح در ولتاژ خروجی نیاز به یک منبع، یک سوئیچ و یک دیود دارد و با وجود استفاده از دیود، قابلیت تغذیهٔ دوجهتهٔ بار را نیز دارد. البته برای حفظ قابلیت تغذیهٔ دوجهتهٔ بار از سنسور جریان استفاده شده که الگوریتم کنترلی آن را تا حدودی پیچیده کرده است. در مرجع [۸] یک ساختار جدید برای اینورتر چندسطحی ارائه شده که برای تولید ۱۵ سطح ولتاژ در حالت متقارن، از ۱۴ سوئیچ و ۲ دیود استفاده کرده است. استفاده از دیود در این ساختار می‌تواند در تغذیهٔ دوجهتهٔ بارها با ضریب توان پایین مشکل‌ساز باشد. در مرجع [۹] ساختاری با شباهت نسبی به ساختار مرجع [۸] ارائه شده که برای تولید ۱۵ سطح ولتاژ در حالت متقارن از ۱۲ سوئیچ استفاده کرده و کاهش چشمگیری در تعداد سوئیچ نسبت به سطوح ولتاژ خروجی حاصل کرده است. در مرجع [۱۰] ساختاری جدید برای توپولوژی متقارن و نامتقارن اینورتر چندسطحی ارائه شده که برای تولید ۱۷ سطح ولتاژ در حالت متقارن از ۱۲ سوئیچ استفاده کرده است. در مرجع [۱۱] ساختاری مبتنی بر استفاده از دیود به‌جای برخی از سوئیچ‌ها ارائه شده که تعداد سوئیچ‌های ساختار را به‌طور قابل ملاحظه‌ای کاهش داده است. این ساختار و غالب ساختارهای مبتنی بر دیود دارای یک ایراد بارز هستند و صرفاً قابلیت تغذیهٔ بارهای با خاصیت اهمی یا نهایتاً با ضریب توان بسیار نزدیک به یک را دارند. در ساختار مرجع [۱۱] در صورت استفاده از باز اهمی سلفی با ضریب توان کمتر از ۰/۹۹۴، به‌دلیل وجود دیود در مدار اسپایک‌های ولتاژ ناخواسته ایجاد می‌شود

و کیفیت ولتاژ خروجی به‌شدت آسیب می‌بینند.

در این مقاله یک ساختار جدید از اینورترهای چندسطحی در حالت‌های متقارن و نامتقارن با هدف کاهش ادوات الکترونیک قدرت ارائه شده که از نظر تعداد کلیدهای قدرت و مدارات راه‌انداز با ساختارهای کلاسیک و تحقیقات اخیر قابل مقایسه است. محاسبهٔ تلفات و راندمان برای ساختار پیشنهادی انجام شده و از این حیث نیز با سایر ساختارها مورد مقایسه قرار گرفته است. ساختار پیشنهادی برای تولید ۲۱ سطح در ولتاژ خروجی از ۱۰ سوئیچ یک‌جهته و دو سوئیچ دوجهته استفاده می‌کند که نسبت به تحقیقات مشابه، کاهش قابل توجهی را در تعداد سوئیچ‌ها نسبت به تعداد سطوح ولتاژ خروجی آشکار می‌سازد. ساختار پیشنهادی می‌تواند به‌عنوان یک مبدل برای سیستم‌های فتوولتائیک محسوب شود که در آن تعداد زیادی از منابع DC جداگانه در دسترس‌اند.

ساختار این مقاله در ادامه به شرح زیر است: در بخش دوم ساختار کلی توپولوژی پیشنهادی ارائه می‌شود و اصول عملکرد ساختار و روابط ریاضیاتی مربوط نیز برای توپولوژی‌های متقارن و نامتقارن توصیف شده است. محاسبات مربوط به تلفات شامل تلفات هدایتی و تلفات کلیدزنی در بخش سوم ارائه شده است. در ضمن مقادیر تلفات توان و بازده مبدل برای ساختار ۲۱ سطحی پیشنهادی به‌ازای مقادیر مختلف اندازه و ضریب توان بار در بخش سوم ارائه شده است. در بخش چهارم مقایسهٔ جامعی در زمینه‌های تلفات توان، تعداد سوئیچ، تعداد درایور ساختار پیشنهادی برای توپولوژی ۲۱ سطحی متقارن و نیز ۳۷ سطحی نامتقارن با تحقیقات مشابه ارائه شده است. نتایج شبیه‌سازی‌ها و پیاده‌سازی آزمایشگاهی در بخش پنجم ارائه شده است. در نهایت نتیجه‌گیری و جمع‌بندی مقاله در بخش ششم به‌صورت مختصر ارائه شده است.

۲. توپولوژی اینورتر چندسطحی پیشنهادی

در این بخش، توپولوژی اینورتر چندسطحی پیشنهادی ارائه می‌شود. این توپولوژی قابلیت تولید ولتاژ چندسطحی مثبت را دارد و با استفاده از ماژول پل H ولتاژ متناوب چندسطحی در خروجی ساختار قابل تولید است. ولتاژ خروجی دارای سطوح مثبت، منفی و همچنین صفر است.

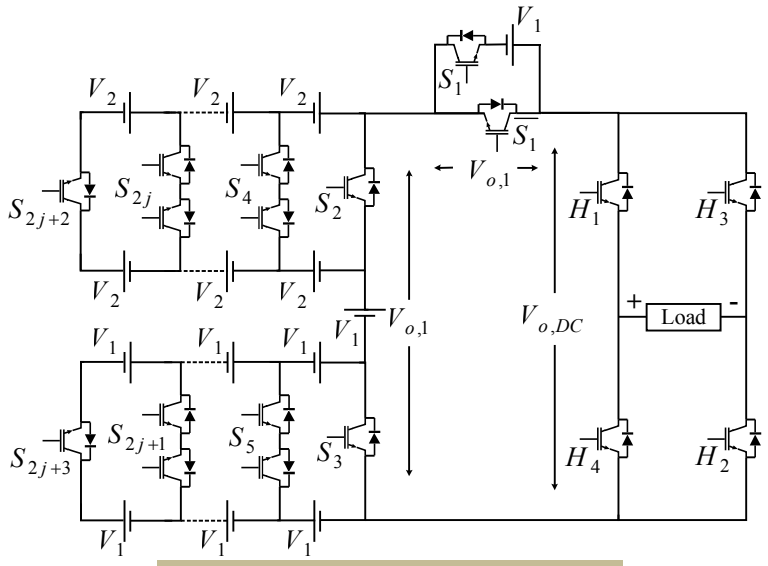
ساختار تعمیم‌یافتهٔ اینورتر چندسطحی پیشنهادی در شکل (۱) نشان داده شده است. این ساختار برای تولید سطح ولتاژ مشخص، تعداد سوئیچ‌های کمتری دارد. همچنین تعداد سوئیچ‌های روشن و هدایت‌کننده در هر سطح ولتاژ کم است؛ ازاین‌رو تلفات هدایتی سوئیچ‌ها در ساختار پیشنهادی مقدار کمی می‌باشد.

ولتاژ دو سر ماژول پل H ($v_{o,DC}$) مطابق شکل (۱) برابر مجموع $v_{o,1}$ و $v_{o,2}$ بوده و با رابطهٔ (۱) مشخص شده است:

$$v_{o,DC} = v_{o,1} + v_{o,2} \qquad (۱)$$

که $v_{o,DC}$ بیانگر ولتاژ چندسطحی مثبت دو سر ماژول پل H است که توسط کاژول پل H به ولتاژ متناوب چندسطحی خروجی ساختار تبدیل می‌شود.

تعداد سطوح ولتاژ خروجی به تعداد منابع DC مستقل استفاده‌شده در ساختار بستگی دارد. در ساختار تعمیم‌یافتهٔ توپولوژی پیشنهادی، دو مجموعه منبع ولتاژ DC با نام‌های V_1 و V_2 استفاده شده است. اندازهٔ این دو مجموعه منابع ولتاژ DC را به دو روش می‌توان انتخاب کرد:



شکل (۱): ساختار تعمیم‌یافتهٔ توپولوژی پیشنهادشده

۲. ۱. توپولوژی متقارن

در توپولوژی متقارن اندازهٔ منابع ولتاژ DC با هم برابرند ($V_1=V_2=V_{dc}$). در این شرایط تعداد سطوح ولتاژ خروجی ساختار پیشنهادی بر اساس رابطهٔ (۲) محاسبه می‌شود که در آن N بیانگر تعداد منابع ولتاژ DC متقارن است.

$$N_{level}^{sym}=2N+1 \quad (۲)$$

تعداد سوئیچ‌ها (N_{Switch}) و درایورها (N_{Driver}) در توپولوژی متقارن اینورتر پیشنهادی بر اساس روابط (۳) و (۴) قابل بیان است.

$$N_{switch}^{sym}=2j+10 \quad (۳)$$

$$N_{driver}^{sym}=j+10 \quad (۴)$$

که j بیانگر تعداد سوئیچ‌های دوجهته در ساختار پیشنهادی است. سوئیچ دوجهته یک تجهیز فعال است که از MOSFET یا IGBT ساخته شده و قابلیت هدایت دوجهتهٔ جریان به هنگام روشن بودن و نیز قابلیت مسدودسازی دوجهتهٔ ولتاژ به هنگام خاموش بودن را دارد.

۲. ۲. توپولوژی نامتقارن

در توپولوژی نامتقارن اندازهٔ منابع ولتاژ DC با هم برابر نبوده و بدین ترتیب با ترکیب حالت‌های مختلف، تعداد سطوح ولتاژ بیشتری در خروجی قابل تولید است. در ساختار پیشنهادی، اندازهٔ منابع ولتاژ DC در توپولوژی نامتقارن به‌صورت $V_1=V_{dc}$ و $V_1=3V_{dc}$ قابل انتخاب است.

پیک ولتاژ خروجی و تعداد سطوح ولتاژ خروجی در توپولوژی نامتقارن بر اساس روابط (۵) و (۶) قابل بیان است.

$$V_{o,\max}^{asym}=6(j-1)+12 \quad (۵)$$

$$N_{level}^{asym}=12(j-1)+25 \quad (۶)$$

که j بیانگر تعداد سوئیچ‌های دوجهته در توپولوژی نامتقارن اینورتر چندسطحی پیشنهادی است.

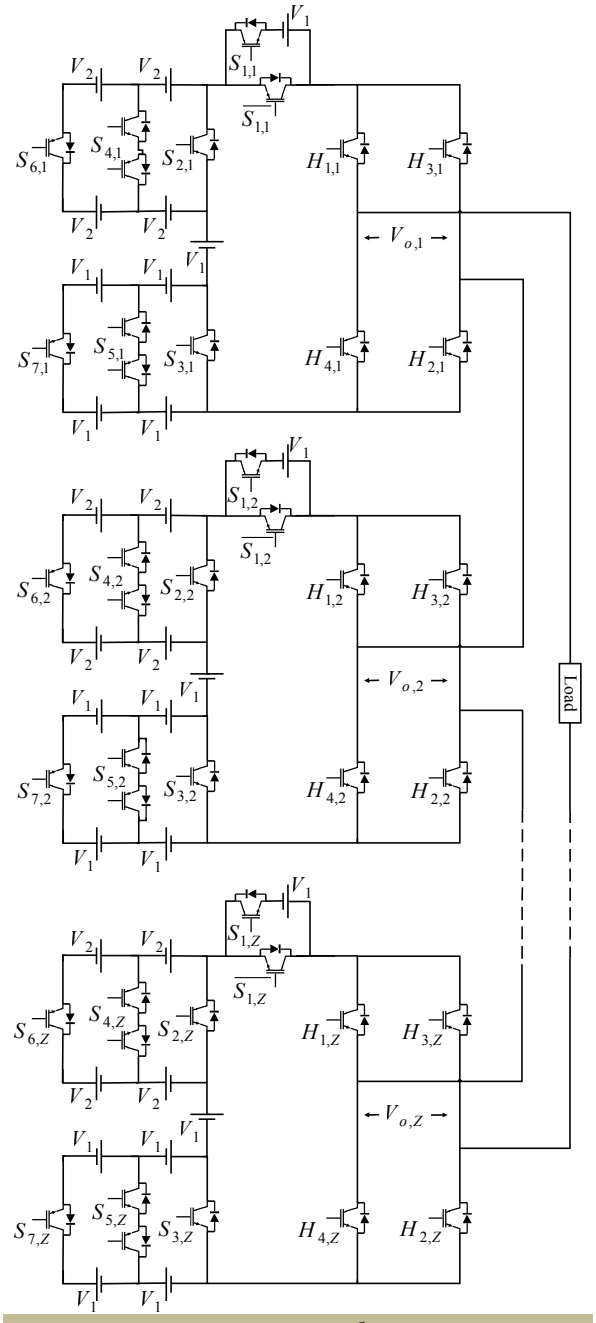
تعداد سوئیچ‌ها (N_{Switch}) و درایورها (N_{Driver}) در توپولوژی نامتقارن اینورتر پیشنهادی بر اساس روابط (۷) و (۸) قابل بیان است.

$$N_{switch}^{asym}=2j+10 \quad (۷)$$

$$N_{driver}^{asym}=j+10 \quad (۸)$$

۳. پیکربندی آبشاری برای اینورتر پیشنهادی

استفاده از ماژول پل H در ساختارهای اینورترهای چندسطحی منجر به محدودیت این اینورترها در کاربردهای ولتاژ متوسط و ولتاژ بالا می‌شود. دلیل این امر آن است که سوئیچ‌های پل H باید پیک ولتاژ تولیدی توسط اینورتر را تحمل کنند. به‌منظور رفع این مشکل، ساختار آبشاری برای توپولوژی پیشنهاد می‌شود تا از ساختار پیشنهادی بتوان در کاربردهای ولتاژ بالا نیز بتوان استفاده نمود. در این پیکربندی، ولتاژ خروجی برابر با مجموع ولتاژهای تولیدی توسط توپولوژی‌های با اتصال آبشاری است. بنابراین ولتاژ خروجی بین ماژول‌های پل H هر زیرساختار تقسیم شده و ولتاژ کمتری بر روی سوئیچ‌های پل H زیرساختارها اعمال می‌شود. پیکربندی آبشاری اینورتر چندسطحی پیشنهادی در شکل (۲) نمایش داده شده است.



شکل (۲): پیکربندی آبشاری اینورتر چندسطحی پیشنهادی

در این پیکربندی، ولتاژ خروجی ساختار آبشاری (v_o^{cas})، تعداد سوئیچ‌ها (N_{switch}^{cas}) و تعداد درایورها (N_{driver}^{cas}) برای تولید N سطح در ولتاژ خروجی به‌ترتیب توسط روابط (۹) تا (۱۱) قابل بیان است.

$$v_o^{cas} = v_{o,1} + v_{o,2} + ... + v_{o,Z} \quad (۹)$$

$$N_{switch}^{cas} = 10Z \quad (۱۰)$$

$$N_{driver}^{cas} = 10Z \quad (۱۱)$$

در روابط فوق، Z بیانگر تعداد ساختارهای پایه با اتصال آبشاری است. در چنین ساختاری، طراحی توپولوژی نامتقارن با استفاده از منابع ولتاژ DC با مقادیر مختلف با سهولت بیشتری قابل پیاده‌سازی است. البته با وجود آنکه تعداد سطوح ولتاژ بیشتری در این شرایط حاصل می‌شود، تنش ولتاژ و تلفات سوئیچ‌ها افزایش یافته و قابلیت مدولار بودن ساختار کاهش می‌یابد. در ضمن پیاده‌سازی مقادیر متنوع ولتاژ DC ورودی پیچیده‌تر است.

۳. محاسبات مربوط به تلفات

تلفات یک مبدل الکترونیک قدرت معادل با مجموع توان تلفاتی تمامی ادوات نیمه‌هادی قدرت است. تلفات ناشی از یک تجهیز نیمه‌هادی می‌تواند به سه دسته تقسیم شود: ۱. هنگامی که تجهیز جریان را مسدود می‌کند (حالت OFF) که در این شرایط از آنجا که جریان نشتی در حالت خاموش بودن عملاً ناچیز است [۱۲]، تلفات ناچیز بوده و می‌توان از آن صرف‌نظر کرد؛ ۲. هنگامی که تجهیز هدایت می‌کند (حالت ON)؛ ۳. هنگامی که تجهیز در حالت کلیدزنی است (حالت از ON به OFF یا برعکس تغییر می‌کند). بنابراین در تلفات مربوط به اینورتر پیشنهادی، تنها تلفات هدایت و سوئیچینگ در نظر گرفته می‌شود که دربارهٔ هریک در ادامه بحث شده است.

۳. ۱. تلفات هدایتی

ترانزیستورهای قدرت مورد استفاده در توپولوژی پیشنهادی توانایی هدایت دوطرفه و مسدود کردن یک‌طرفه دارند. تلفات هدایتی ترانزیستور و دیود معمولی عبارت‌اند از [۱۳]:

$$\rho_{c,Transistor}(t) = \left(V_T + R_T i^{\beta}(t)\right) i(t) \quad (۱۲)$$

$$\rho_{c,Diode}(t) = \left(V_D + R_D i(t)\right) i(t) \quad (۱۳)$$

که $\rho_{c,T}(t)$ و $\rho_{c,D}(t)$ به‌ترتیب مربوط به تلفات هدایتی ترانزیستور و دیود هستند. V_T و V_D افت ولتاژ روی ترانزیستور و دیود در حالت روشن هستند، درحالی‌که R_T و R_D مقاومت ترانزیستور و دیود در حالت روشن هستند و β ثابتی است که تابع ویژگی‌های ترانزیستور است.

هدایت کلیدها تابع جریان لحظه‌ای بار $i_L(t)$ است؛ به‌نحوی که بسته به سطح ولتاژ خروجی و پلاریتهٔ جریان بار، ترانزیستور یا دیود موازی کلید می‌تواند هدایت کند. در هر لحظه از زمان تعداد دیودها و ترانزیستورهای هدایت‌کننده به‌ترتیب برابر با $N_D(t)$ و $N_T(t)$ هستند. بنابراین میانگین تلفات هدایتی با استفاده از (۱۲) و (۱۳) توسط (۱۴) محاسبه می‌شود:

$$\begin{aligned}\rho_{c,avg} = \frac{1}{\pi}\int_0^{\pi}\Big[&\left(N_T(t)V_T + N_D(t)V_D\right)i_L(t) \\ &+\left(N_T(t)R_T i_L^{\beta+1}(t)\right) \\ &+\left(N_D(t)i_L^2(t)\right)\Big]d(\omega t)\end{aligned} \quad (۱۴)$$

۳. ۲. تلفات کلیدزنی (سوئیچینگ)

برای محاسبهٔ تلفات کل کلیدزنی، یک کلید قدرت را در نظر گرفته و تلفات کلیدزنی آن محاسبه می‌شود. سپس برای محاسبهٔ تلفات کلیدزنی کل اینورتر، تلفات تک‌تک کلیدها با هم جمع خواهد شد. برای محاسبهٔ تلفات کلیدزنی یک کلید، یک تقریب خطی ولتاژ و جریان در طول دورهٔ سوئیچینگ (انتقال از حالت روشن به حالت خاموش و بالعکس) مورد استفاده قرار می‌گیرد [۱۴]. تلفات انرژی در هنگام روشن شدن می‌تواند با (۱۵) محاسبه شود.

$$\begin{aligned}E_{on,j} &= \int_0^{t_{on}} v(t)i(t)dt \\ &= \int_0^{t_{on}}\left[\left(V_{o,j}\frac{t}{t_{on}}\right)\left(-\frac{I}{t_{on}}(t-t_{on})\right)\right]dt \\ &= \frac{1}{6}V_{o,j}\,I\,t_{on}\end{aligned} \quad (۱۵)$$

که $E_{on,j}$ نشان‌دهندهٔ تلفات انرژی روشن شدن و t_{on} زمان لازم برای روشن شدن کلید jام است. جریان کلید بعد از روشن شدن با I مشخص شده و $V_{o,j}$ نشان‌دهندهٔ ولتاژی است که کلید jام به هنگام خاموش بودن بایستی مسدود کند. به‌طور مشابه تلفات انرژی کلید jام در هنگام خاموش شدن را می‌توان با (۱۶) محاسبه کرد.

$$\begin{aligned}E_{off,j} &= \int_0^{t_{off}} v(t)i(t)dt \\ &= \int_0^{t_{off}}\left[\left(V_{o,j}\frac{t}{t_{off}}\right)\left(-\frac{I'}{t_{off}}(t-t_{on})\right)\right]dt \\ &= \frac{1}{6}V_{o,j}\,I t_{off}\end{aligned} \quad (۱۶)$$

که t_{off} زمان لازم برای خاموش شدن کلید jام بوده و I' جریان قبل از خاموش شدن کلید است.

تلفات کلیدزنی تابع تعداد تغییر وضعیت‌های کلیدها و همچنین تکنیک کلیدزنی است. در بازه زمانی یک ثانیه، سوئیچ jام تعداد f_j بار تغییر وضعیت می‌دهد، که f_j فرکانس سوئیچینگ است. ازاین‌رو، فرض بر این است که مجموع تلفات سوئیچینگ قدرت را می‌توان به‌صورت زیر محاسبه کرد.

$$\rho_s = \sum_{j=1}^{M}\left[\frac{1}{6}V_{o,j}I(t_{on}+t_{off})f_j\right] \quad (۱۷)$$

تلفات کل اینورتر با استفاده از (۱۴) و (۱۷) بر اساس رابطهٔ (۱۸) قابل محاسبه است. توان خروجی نیز با استفاده از (۱۹) حاصل می‌شود.

$$\rho_{losses} = \rho_{c,avg} + \rho_s \quad (۱۸)$$

$$P_{out} = V \times I \times \cos\theta \quad (۱۹)$$

بازده مبدل را می‌توان بر اساس (۲۰) محاسبه کرد.

$$\eta = \frac{P_{out}}{P_{in}} = \frac{P_{out}}{P_{out}+\rho_{losses}} \quad (۲۰)$$

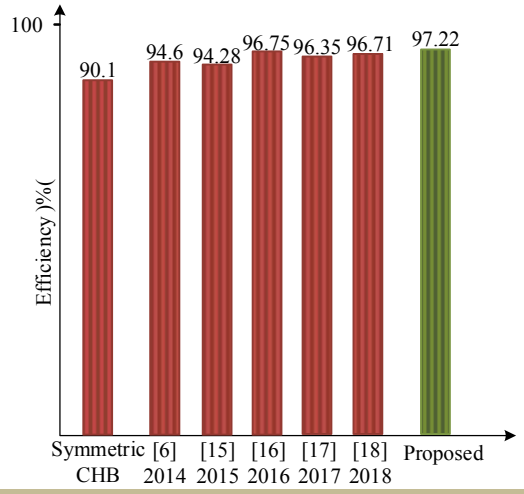
شبیه‌سازی تلفات بر اساس داده‌های سازنده انجام می‌شود. برای مدل‌سازی کلید از کلید IGBT IKFW60N60DH3E (600V 50A) استفاده شده است. جریان عبوری از کلیدها و ولتاژ مسدودکنندگی هر کلید در شبیه‌سازی تلفات در نظر گرفته می‌شوند. این شبیه‌سازی برای اینورتر پیشنهادی و ساختارهای مورد مقایسه برای ولتاژ خروجی ۲۱ سطحی با منابع متقارن با تکنیک مدولاسیون SPWM شیف فاز با فرکانس کلیدزنی ۷۵۰ هرتز در ۸۰٪ مقدار نامی کلید (به‌عبارتی در ولتاژ ۴۸۰ ولت و جریان ۴۰ آمپر) در توان خروجی ۸۰۰۰ وات برای بار مقاومتی انجام شده است. مقدار تلفات توان و بازده برای بارهای اهمی سلفی با مقادیر مختلف، برای رنج‌های توانی مختلف و نیز برای ضریب توان‌های متفاوت در شکل (۳) ارائه شده است. بر اساس این شکل، راندمان ساختار پیشنهادی در مقایسهٔ ساختارهای مشابه ارائه‌شده در مراجع [۶] و [۱۵ـ۱۸]، مقدار بیشتری حاصل شده است.

دمای اتصال (T_j) هر سوئیچ را با استفاده از روند زیر می‌توان محاسبه کرد. دمای اتصال سوئیچ ارتباط مستقیمی با تلفات سوئیچ دارد. دمای اتصال IGBT ($T_{IGBT,jun}$) و دیود ($T_{Diode,jun}$) با استفاده از روابط (۲۱) و (۲۲) قابل محاسبه است. در این روابط دمای محیط (T_a) برابر با ۲۵ درجهٔ سانتی‌گراد در نظر گرفته شده است.

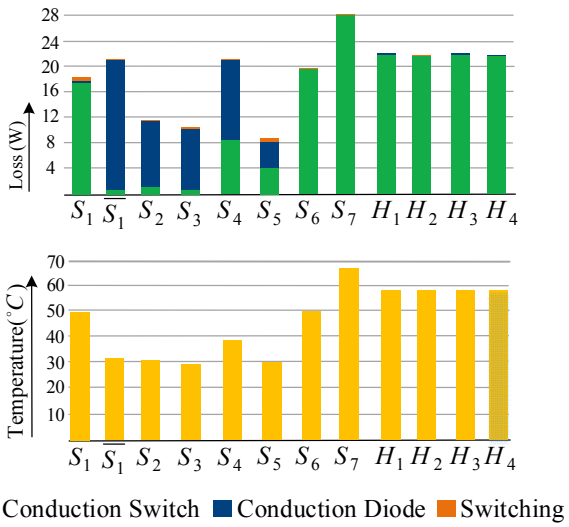
$$T_{IGBT,jun} = P_{Loss,IGBT}.R_{Th} + T_a$$
$$R_{Th} = R_{Th,JC,IGBT} + R_{Th,CH,IGBT} + R_{Th,HA,IGBT} \quad (۲۱)$$

$$T_{Diode,jun} = P_{Loss,Diode}.R_{Th} + T_a$$
$$R_{Th} = R_{Th,JC,Diode} + R_{Th,CH,Diode} + R_{Th,HA,Diode} \quad (۲۲)$$

در روابط فوق $P_{Loss,IGBT}$ و $P_{Loss,Diode}$ به‌ترتیب بیانگر تلفات کل سوئیچ IGBT و دیود هستند. مقادیر مقاومت معادل اتصال به کیس ($R_{Th,JC}$) و کیس به هیت سینک ($R_{Th,CH}$) بر اساس برگهٔ اطلاعات سوئیچ و دیود قابل حصول است. مقاومت معادل هیت سینک به محیط ($R_{Th,HA}$) یک پارامتر طراحی بوده و بر اساس ابعاد هیت سینک و... توسط طراح در نظر گرفته می‌شود. تلفات توان تک‌تک سوئیچ‌ها و نیز دمای اتصال آن‌ها در شکل (۴) نشان داده شده است. دمای سوئیچ‌ها نشان می‌دهد که سوئیچ‌های ساختار پیشنهادی در شرایط مفروض بهره‌برداری دچار تنش گرمایی نیستند و شرایط مطلوبی دارند.



شکل (۳): شبیه‌سازی تلفات و راندمان ساختار پیشنهادی



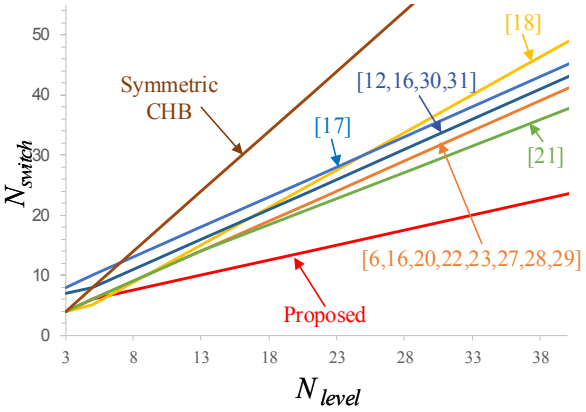
شکل (۴): نتایج شبیه‌سازی برای تلفات هدایتی و کلیدزنی سوئیچ‌ها و دمای اتصال سوئیچ‌های ساختار پیشنهادی

۴. مقایسه با سایر ساختارها

در این بخش ساختار پیشنهادی بر اساس تعداد کلید و تعداد درایور برحسب تعداد سطوح ولتاژ خروجی با سایر ساختارهای اینورترهای چندسطحی متقارن ارائه‌شده در مراجع [۶]، [۱۲] و [۱۵ـ۳۱] در

شرایط یکسان مقایسه شده است. از پارامترهای مهم در هزینهٔ مبدل‌های چندسطحی می‌توان به تعداد سوئیچ‌ها و درایورها و نیز ولتاژ معکوس کلیدها اشاره کرد. هرچه تعداد و مقدار این پارامترها کمتر باشند نشان‌دهندهٔ هزینهٔ تمام‌شدهٔ پایین‌تر برای مبدل است. بدیهی است که تعداد زیاد کلید، تعداد درایور راه‌انداز مورد نیاز و سایر اجزای پشتیبان مانند هیت سنک، مدارهای اسنابر و... را افزایش می‌دهد که مستقیماً با هزینه در ارتباط است.

ساختار پیشنهادی در مقایسه با ساختار کلاسیک و ساختارهای ارائه‌شدهٔ اخیر، دارای تعداد سوئیچ کمتر برای سطوح ولتاژ مشابه است. مقایسهٔ تعداد کلیدهای ساختار پیشنهادی و دیگر مبدل‌های متقارن چندسطحی به‌ازای سطوح ولتاژ مختلف در شکل (۵) ارائه شده است. در این شکل شیب هریک از نمودارها متناسب با هزینه و حجم ساختار مربوط است. در اغلب ساختارهای ارائه‌شده شیب این نمودارها برابر با یک است. به‌بیان دیگر به‌ازای افزایش دو سطح، دو کلید به ساختار اضافه می‌شود. در شکل (۵) برای ساختار CHB متقارن شیب نمودار برابر با ۲ است که بیانگر تعداد بسیار زیاد سوئیچ‌ها در ساختار CHB متقارن است. شیب مذکور برای ساختار پیشنهادی کمتر از تمام ساختارهای مورد مقایسه است. واضح است که ساختار پیشنهادی بهبود قابل توجهی در کاهش تعداد سوئیچ‌ها به‌ویژه در سطوح بالا نشان می‌دهد.

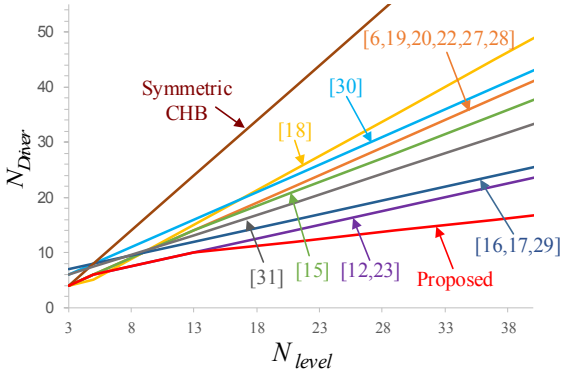


شکل (۵): مقایسهٔ تعداد سوئیچ‌های ساختارهای مختلف به‌ازای تعداد سطوح یکسان

جدول (۱): مقایسهٔ ساختار پیشنهادی با ساختار مشابه

		N_{Level}	N_{Switch}	N_{Diode}	N_{Source}	TBV(*VDC)	$N_{Switch,path}$	N_{Driver}
CHB	Symmetric	21	40	0	10	40	20	40
	Asymmetric	37	24	0	6	72	12	24
[30] (2011)	Symmetric	21	24	0	10	60	12	24
	Asymmetric	37	16	0	4	108	8	16
[12] (2012)	Symmetric	21	24	0	10	60	3	14
[29] (2012)	Symmetric	21	22	0	10	90	4	16
[19] (2015)	Symmetric	21	22	0	10	64	11	22
[15] (2015)	Symmetric	21	21	0	10	66	12	21
	Asymmetric	33	21	0	10	106	12	21
[16] (2016)	Symmetric	21	24	0	10	92	5	16
	Asymmetric	37	24	0	10	128	5	16
[17] (2017)	Symmetric	21	26	0	10	94	5	16
	Asymmetric	37	26	0	10	130	5	16
[22] (2017)	Symmetric	21	24	16	10	40	10	24
	Asymmetric	37	14	8	5	70	8	14
[23] (2017)	Symmetric	21	22	0	10	130	4	14
[18] (2018)	Symmetric	21	25	20	10	45	10	25
[20] (2019)	Symmetric	21	22	0	10	42	11	22
[21] (2019)	Symmetric	21	22	0	10	112	3	14
	Asymmetric	37	22	0	10	208	3	14
Proposed	Symmetric	21	14	0	10	62	5	12
	Asymmetric	37	14	0	10	114	5	12

مطابق شکل (۶) ساختار پیشنهادی از نظر تعداد درایور شرایط مناسبی داشته و ساختار پیشنهادی تعداد درایور کمتری به‌ازای سطوح ولتاژ یکسان نسبت به ساختارهای مورد مقایسه دارد. تعداد درایور کمتر منجر به کاهش مداران جانبی و هزینهٔ آن‌ها می‌شود.



شکل (۶): مقایسهٔ تعداد درایورهای ساختارهای مختلف به‌ازای تعداد سطوح یکسان

به‌رغم وجود تعداد زیاد سوئیچ‌ها در ساختار CHB متقارن، از آنجا که ولتاژ مسدودکنندگی کل در این ساختار کم می‌باشد، هزینهٔ ساختار CHB متقارن معمولاً پایین بوده و گزینهٔ مناسبی برای مقایسه در این زمینه است. در رابطهٔ (۲۳) نحوهٔ محاسبهٔ ولتاژ مسدودکنندگی کل برحسب ولتاژ معکوس ماکزیمم (PIV) تک‌تک سوئیچ‌ها ارائه شده است:

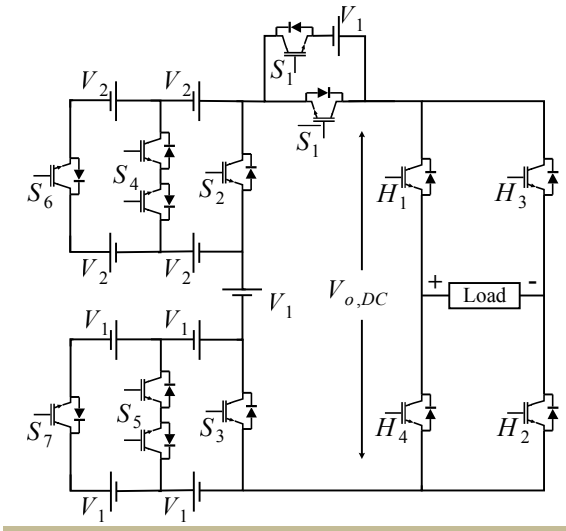
$$TBV = \sum_{Switch=1}^{M} PIV \qquad (۲۳)$$

برای مقایسهٔ بهتر، پارامترهای دیگری برای توپولوژی متقارن ۲۱ سطحی و نامتقارن ۳۷ سطحی اینورتر پیشنهادی، با ساختارهای دیگر مورد مقایسه قرار گرفته است. در جدول (۱) ساختار پیشنهادی در دو حالت متقارن و نامتقارن از حیث ولتاژ مسدودکنندگی، تعداد دیود، تعداد سوئیچ، تعداد سوئیچ‌های روشن در هر سطح ولتاژ و نیز تعداد درایور با ساختارهای دیگر تحت شرایط مشابه مورد مقایسه قرار گرفته است. مطابق این جدول، ساختار پیشنهادی از حیث موارد مقایسه‌ای شرایط بسیار مطلوبی داشته و از حیث TBV صرفاً نسبت به چهار ساختار مقایسه‌ای به‌طور نسبی و ناچیز، شرایط مطلوب و بهتر را ندارد.

۵. نتایج شبیه‌سازی و پیاده‌سازی

در این بخش، نتایج شبیه‌سازی و پیاده‌سازی اینورتر پیشنهادی ارائه شده است. روش‌های مختلفی برای مدولاسیون این اینورترهای چندسطحی وجود دارد که به دو دستهٔ کلی تقسیم می‌شوند: ۱. روش کلیدزنی فرکانس پایه؛ ۲. روش‌های کلیدزنی فرکانس بالا. از روش‌های مدولاسیون فرکانس بالا می‌توان PWM چندحامله [۳۲] و تکنیک‌های مدولاسیون بردار فضایی [۳۳] را نام برد. از روش‌های مدولاسیون فرکانس پایین می‌توان به روش حذف هارمونیک فعال [۳۴]، مدولاسیون نزدیک‌ترین سطح (NLM) [۳۵] و روش حذف انتخابی هارمونیک‌ها (SHE) [۳۶] اشاره کرد. ساختار پیشنهادی می‌تواند با هریک از این روش‌ها مدولاسیون سازگاری مناسب داشته باشد.

در این مقاله ساختار پیشنهادی با روش مدولاسیون نزدیک‌ترین سطح برای توپولوژی ۲۱ سطحی متقارن و همچنین توپولوژی ۳۷ سطحی نامتقارن مطابق با شکل (۷) در محیط MATLAB/SIMULINK شبیه‌سازی شده است. به‌منظور بررسی ~~تحت~~ تحت نتایج شبیه‌سازی، یک نمونه آزمایشگاهی نیز پیاده‌سازی شده است. مقادیر پارامترهای مختلف استفاده‌شده در شبیه‌سازی و پیاده‌سازی در جدول (۲) ارائه شده است. در ضمن روندنمای کلی از نمونهٔ آزمایشگاهی در شکل (۸) نمایش داده شده است.

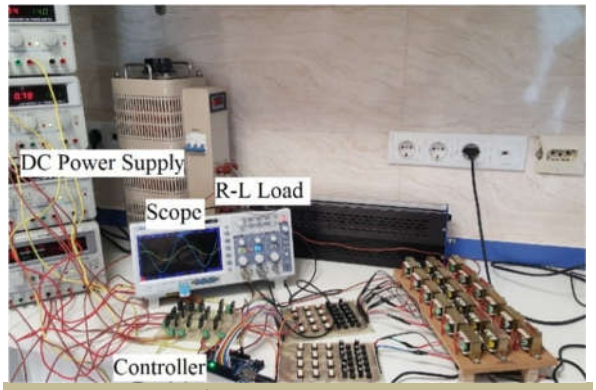


شکل (۷): روندنمای توپولوژی ۲۱ سطحی متقارن و ۳۷ سطحی نامتقارن اینورتر پیشنهادی

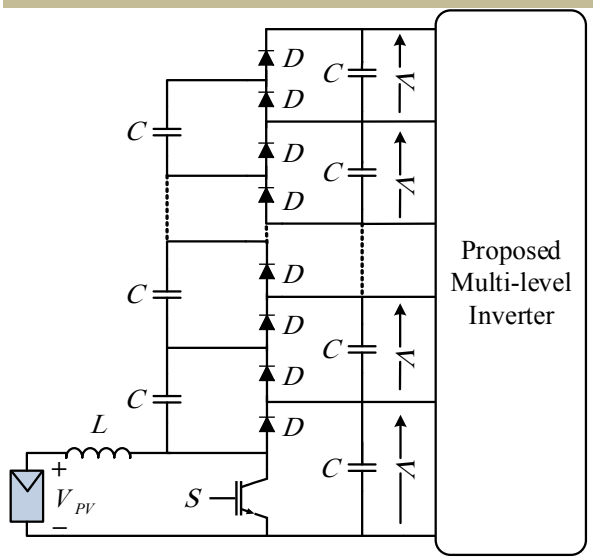
جدول (۲): پارامترهای نمونهٔ آزمایشگاهی

Parameters	Specification	
	Symmetrical	Asymmetrical
DC Sources	V_1=V_2=15V	V_1=9V, V_2=27V
Output Voltage (Peak)	150V	162V
Output Current (Peak)	4.5A	
Z_{Load}	Z=25Ω + 70mH	
Switch	IRFP 460	
Gatt Driver	TLP 250	
Controller	Arduino Mega 2560	

در شبیه‌سازی ساختار پیشنهادی برای منابع ورودی از منابع ولتاژ DC جداگانه استفاده شده است. در عمل، این منابع ولتاژ DC ممکن است از طریق منابع انرژی تجدیدپذیر مانند پانل‌های فتوولتائیک، سلول سوختی و... قابل دسترسی باشد. با این حال، اگر یک منبع DC در دسترس نباشد، منابع ولتاژ DC مورد نیاز را می‌توان توسط یک مبدل DC-DC یک ورودی چندخروجی مطابق مدار ارائه‌شده در شکل (۹) به دست آورد [۳۷].



شکل (۸): طرح‌وارهٔ کلی از نمونهٔ آزمایشگاهی



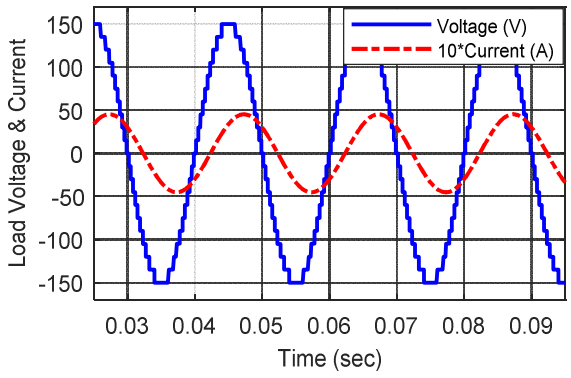
شکل (۹): سیستم پیشنهادی برای کاربرد مبدل چندسطحی در ارائه‌های خورشیدی با استفاده از مبدل DC-DC تک‌ورودی چندخروجی [۳۷]

جدول (۳): حالت‌های تولید سطوح مختلف ولتاژ

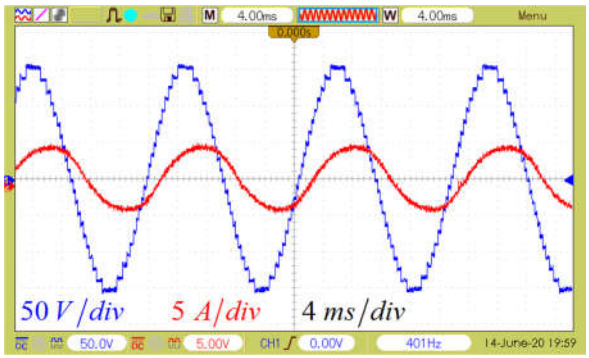
Level	Switch States (1=on & 0=off)											
	S_1	$\bar{S}_1$	S_2	S_3	S_4	S_5	S_6	S_7	H_1	H_2	H_3	H_4
10	1	0	0	0	0	0	1	1	1	1	0	0
9	0	1	0	0	0	0	1	1	1	1	0	0
8	1	0	0	0	1	0	0	1	1	1	0	0
7	0	1	0	0	1	0	0	1	1	1	0	0
6	1	0	1	0	0	0	0	1	1	1	0	0
5	0	1	1	0	0	0	0	1	1	1	0	0
4	1	0	1	0	0	1	0	0	1	1	0	0
3	0	1	1	0	0	1	0	0	1	1	0	0
2	1	0	1	1	0	0	0	0	1	1	0	0
1	0	1	1	1	0	0	0	0	1	1	0	0
0	1	1	1	0	0	1	1	0	1	0	1	0
-1	0	1	1	1	0	0	0	0	0	0	1	1
-2	1	0	1	1	0	0	0	0	0	0	1	1
-3	0	1	1	0	0	1	0	0	0	0	1	1
-4	1	0	1	0	0	1	0	0	0	0	1	1
-5	0	1	1	0	0	0	0	1	0	0	1	1
-6	1	0	1	0	0	0	0	1	0	0	1	1
-7	0	1	0	0	1	0	0	1	0	0	1	1
-8	1	0	0	0	1	0	0	1	0	0	1	1
-9	0	1	0	0	0	0	1	1	0	0	1	1
-10	1	0	0	0	0	0	1	1	0	0	1	1

۵. ۱. منابع متقارن

در توپولوژی متقارن تمامی اندازه منابع ولتاژ ورودی یکسان بوده و به‌صورت $V_1=V_2=15V$ در نظر گرفته شده است. تحت چنین شرایطی پیک ولتاژ خروجی برابر با ۱۵۰V خواهد بود. جدول (۳) حالت‌های تولید سطوح مختلف ولتاژ را برای توپولوژی ۲۱ سطحی متقارن نشان می‌دهد.



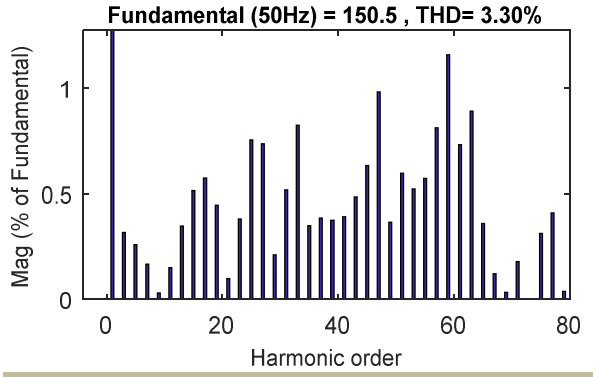
(الف)



(ب)

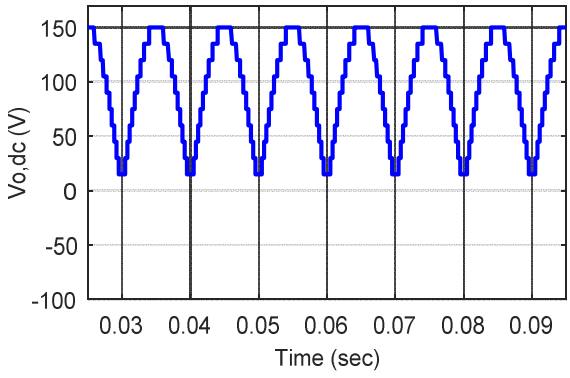
شکل (۱۰): ولتاژ خروجی ۲۱ سطحی و جریان خروجی برای بار اهمی سلفی با کلیدزنی نزدیک‌ترین سطح: الف. شبیه‌سازی؛ ب. پیاده‌سازی

شکل (۱۰) نشان‌دهندهٔ ولتاژ خروجی و نیز جریان خروجی با کلیدزنی فرکانس پایه برای بار اهمی سلفی است. این شکل نشان می‌دهد که شکل موج ولتاژ ۲۱سطحی دارای گام‌های برابر ۱۵ ولت بوده و میزان اختلاف فاز جریان نسبت ولتاژ حدود ۴۰ درجه است. در شکل (۱۰-الف) نتایج شبیه‌سازی و در شکل (۱۰-ب) نتایج پیاده‌سازی برای ولتاژ و جریان بار خروجی ارائه شده است. تطابق نتایج شبیه‌سازی و پیاده‌سازی در این شکل به‌وضوح قابل رؤیت است. در شکل (۱۱) توزیع هارمونیک کل ولتاژ ارائه شده که مقدار THD ولتاژ ۲۱سطحی تولیدی برابر با ۳/۳٪ حاصل شده است. شایان ذکر است مقدار ولتاژ تولیدی و مقدار THD ولتاژ بدون لحاظ هیچ فیلتری در خروجی اینورتر حاصل شده است و عملاً با THD تولیدی، نیازی به استفاده از فیلتر در خروجی اینورتر وجود نخواهد داشت.

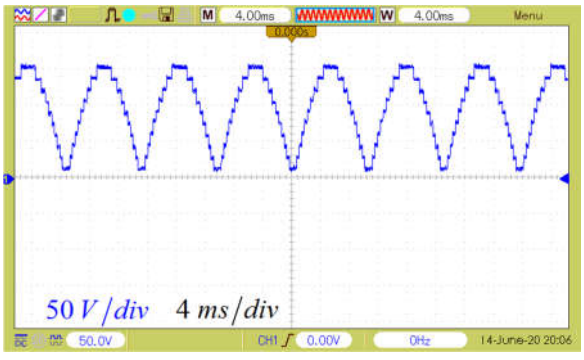


شکل (۱۱): THD ولتاژ خروجی

در شکل (۱۲) ولتاژ دو سر پل H حاصل از شبیه‌سازی و نیز پیاده‌سازی نشان داده شده است. همان طور که اشاره شد، ولتاژ اعمال‌شده به پل H صرفاً سطوح مثبت را داراست و سطوح ولتاژ منفی و نیز سطح ولتاژ صفر توسط کلیدزنی سوئیچ‌های پل H تولید می‌شود. تطابق نتایج شبیه‌سازی و پیاده‌سازی نیز در این شکل مشهود است.



(الف)

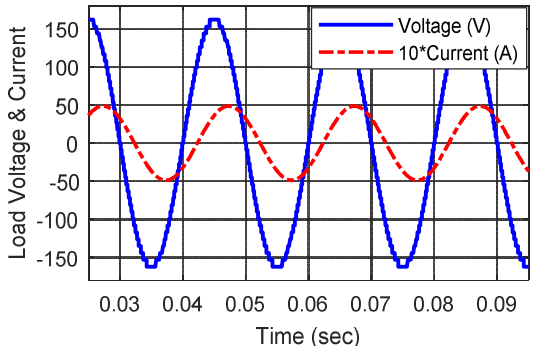


(ب)

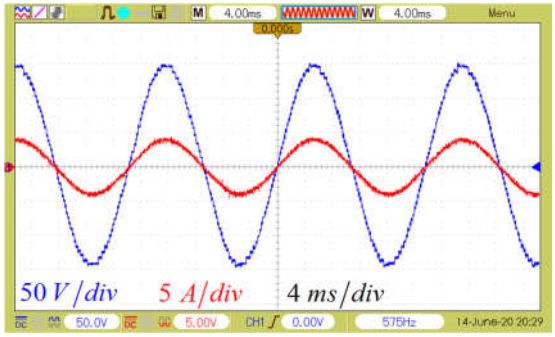
شکل (۱۲): ولتاژ اعمال‌شده به دو سر پل H برای منابع DC متقارن

۵.۲. منابع نامتقارن

در توپولوژی نامتقارن اندازهٔ برخی منابع ولتاژ ورودی متفاوت است. در این بخش برای بررسی عملکرد ساختار پیشنهادی در حالت نامتقارن اندازهٔ منابع ولتاژ به‌صورت V_1=9V و V_2=27V در نظر گرفته شده است. در این شرایط، ۱۶ سطح به تعداد سطوح ولتاژ خروجی نسبت به حالت متقارن اضافه شده است و پیک ولتاژ خروجی برابر با ۱۶۲V به دست می‌آید.



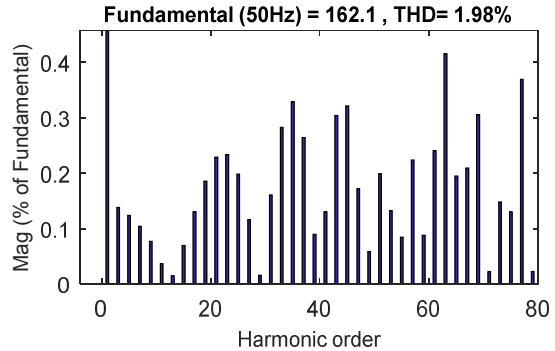
(الف)



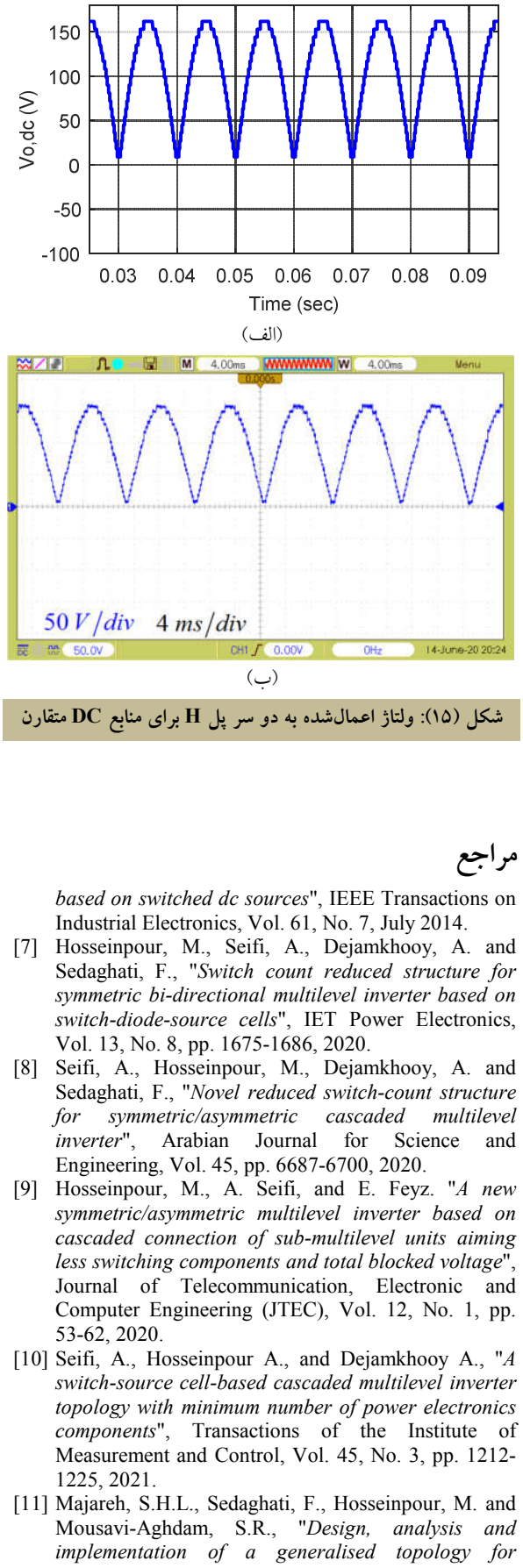
(ب)

شکل (۱۳): ولتاژ خروجی ۳۷ سطحی و جریان خروجی برای بار اهمی سلفی در حالت منابع نامتقارن: الف. شبیه‌سازی؛ ب. پیاده‌سازی

شکل (۱۳) نشان‌دهندهٔ ولتاژ خروجی و نیز جریان خروجی در حالت منابع نامتقارن برای همان بار اهمی سلفی برابر با حالت متقارن است. این شکل نشان می‌دهد که شکل موج ولتاژ ۳۷ سطحی دارای گام‌های برابر ۹ ولت بوده و میزان اختلاف فاز جریان نسبت ولتاژ حدود ۴۰ درجه است. در شکل (۱۳-الف) نتایج شبیه‌سازی و در شکل (۱۳-ب) نتایج پیاده‌سازی برای ولتاژ و جریان بار خروجی ارائه شده و تطابق نتایج شبیه‌سازی و پیاده‌سازی مشخص است. در شکل (۱۴) توزیع هارمونیک کل ولتاژ برای ولتاژ ۳۱ سطحی در حالت منابع نامتقارن ارائه شده است که مقدار THD ولتاژ ۳۷ سطحی تولیدی برابر با ۱/۹۸٪ حاصل شده است.



شکل (۱۴): THD ولتاژ خروجی



شکل (۱۵): ولتاژ اعمال‌شده به دو سر پل H برای منابع DC متقارن

در شکل (۱۵) ولتاژ دو سر پل H حاصل از شبیه‌سازی و نیز پیاده‌سازی برای حالت منابع نامتقارن نشان داده شده است که نتایج شبیه‌سازی و پیاده‌سازی مطابق یکدیگرند.

نتایج ارائه‌شده برای توپولوژی متقارن و نیز نامتقارن بیانگر صحت عملکرد ساختار پیشنهادی و تطابق مناسب نتایج آزمایشگاهی با نتایج شبیه‌سازی است.

۶. نتیجه‌گیری

از آنجا که در حال حاضر اینورترهای چندسطحی کاربردهای متنوعی دارند، محققان در تلاش برای کاهش تعداد اجزا و افزایش تعداد سطوح خروجی این اینورترها هستند. توپولوژی پیشنهادی سعی دارد تا تعداد ادوات اینورتر چندسطحی تک‌فاز را کاهش دهد. در ساختارهایی که از دیود برای کاهش ادوات کلیدزنی استفاده می‌شود بایستی مسیر جریان برگشتی برقرار باشد تا از تولید اسپایک ولتاژ جلوگیری شود. اصول عملکرد ساختار پیشنهادی توضیح داده شده و شبیه‌سازی و پیاده‌سازی ساختار پیشنهادی انجام شده است. مقایسهٔ توپولوژی پیشنهادشده با توپولوژی‌های متعارف و تحقیقات مشابه نشان می‌دهد که توپولوژی پیشنهادشده به‌طور قابل توجهی تعداد اجزای کمتری داشته و در نتیجه، هزینه و حجم آن کمتر است.

مراجع

[1] Hosseinpour, M., Seifi A. and Babaei, E., "*An improved switched-ladder bidirectional multilevel inverter: Topology, operating principle, and implementation*", International Journal of Circuit Theory and Applications, Vol. 49, No. 12, pp. 4274-4293, 2021.

[2] Mahmoudian, M., Gitizadeh, M. and Rajaei, A., "*A Novel High Efficient Single Phase Photovoltaic Inverter to Stop the Common Mode Leakage Current in Microgrid Applications*". Journal of Energy Engineering & Management, Vol. 8, No. 2, pp. 2-13, 2018.

[3] Babaei, E., Shokati Asl, E. and Laali, S., A., "*Modified Series Z-Source Inverter Based on Switched Inductors with a High Voltage Gain and a Reduced Voltage Stress on Capacitors*". Journal of Energy Engineering & Management, Vol. 10, No. 4, pp. 2-13, 2021.

[4] Sarebanzadeh, M., Hosseinzadeh, M. A., Garcia C., Babaei E., Hosseinpour M., Seifi A. and Rodriguez J., "*A 15-level switched-capacitor multilevel inverter structure with self-balancing capacitor*", IEEE Transactions on Circuits and Systems II: Express Briefs, Early View, 2021.

[5] Behara, S., Sandeep, N. and Yaragatti, U. R., "*Design and implementation of transformer-based multilevel inverter topology with reduced components*", IEEE Transactions on Industry Applications, Vol. 54, No. 5, pp. 4632 – 4639, 2018.

[6] Gupta, K. K. and Jain, S., "*A novel multilevel inverter based on switched dc sources*", IEEE Transactions on Industrial Electronics, Vol. 61, No. 7, July 2014.

[7] Hosseinpour, M., Seifi, A., Dejamkhooy, A. and Sedaghati, F., "*Switch count reduced structure for symmetric bi-directional multilevel inverter based on switch-diode-source cells*", IET Power Electronics, Vol. 13, No. 8, pp. 1675-1686, 2020.

[8] Seifi, A., Hosseinpour, M., Dejamkhooy, A. and Sedaghati, F., "*Novel reduced switch-count structure for symmetric/asymmetric cascaded multilevel inverter*", Arabian Journal for Science and Engineering, Vol. 45, pp. 6687-6700, 2020.

[9] Hosseinpour, M., A. Seifi, and E. Feyz. "*A new symmetric/asymmetric multilevel inverter based on cascaded connection of sub-multilevel units aiming less switching components and total blocked voltage*", Journal of Telecommunication, Electronic and Computer Engineering (JTEC), Vol. 12, No. 1, pp. 53-62, 2020.

[10] Seifi, A., Hosseinpour A., and Dejamkhooy A., "*A switch-source cell-based cascaded multilevel inverter topology with minimum number of power electronics components*", Transactions of the Institute of Measurement and Control, Vol. 45, No. 3, pp. 1212-1225, 2021.

[11] Majareh, S.H.L., Sedaghati, F., Hosseinpour, M. and Mousavi-Aghdam, S.R., "*Design, analysis and implementation of a generalised topology for multilevel inverters with reduced circuit devices*", IET Power Electronics, Vol. 12, No. 14, pp. 3724-3731,

2019.

[12] Ebrahimi, J., Babaei, E., and Gharehpetian, G. B., "*A new multilevel converter topology with reduced number of power electronic components*", IEEE Transactions on Industrial Electronics, Vol. 59, No. 2, pp. 655–667, Feb. 2012.

[13] Hosseini Montazer, B., Olamaei, J., Hosseinpour, M. and Mozafari, B., "*A generalized diode containing bidirectional topology for multilevel inverter with reduced switches and power loss*", International Journal of Circuit Theory and Applications, Vol. 49, No. 9, pp. 2959-2978, 2021.

[14] Hosseinpour, M., Seifi, A. and Rahimian, M. M., "*A bidirectional diode containing multilevel inverter topology with reduced switch count and driver*", International Journal of Circuit Theory and Applications, Vol. 48, No. 10, pp. 1766-1785, 2020.

[15] Babaei E., Laali S. and Bayat Z., "*A single-phase cascaded multilevel inverter based on a new basic unit with reduced number of power switches*", IEEE Transactions on Industrial Electronics, Vol. 62, No. 2, pp. 922-929, 2015.

[16] Alishah, R. S., Hosseini, S. H., Babaaei, E. and Sabahi, M., "*A new general multilevel converter topology based on cascaded connection of sub-multilevel units with reduced switching components, dc sources and blocked voltage by switches*", IEEE Transactions on Industrial Electronics, Vol. 63, No. 11, pp. 7157–7164, 2016.

[17] Jayabalan, M., Jeevarathinam, B. and Sandirasegarane, T., "*Reduced switch count pulse width modulated multilevel inverter*", IET Power Electronics, Vol. 10, No. 1, pp. 10-17, 2017.

[18] Dhanamjayulu, C. and Meikandasivam, S., "*Implementation and comparison of symmetric and asymmetric multilevel inverters for dynamic loads*", IEEE Accsess, Vol. 6, pp. 738-746, 2018.

[19] Oskuee, M. R. J., Karimi, M., Ravadanegh, S. N. and Gharehpetian, G. B., "*An innovative scheme of symmetric multilevel voltage source inverter with lower number of circuit devices*", IEEE Transaction on Industrial Electronics, Vol. 62, No. 11, 2015.

[20] Ali, S. M., Alishah, R. S., and Krishnasay, V., "*A new generalized multilevel converter topology with reduced voltage on switches, power losses and components*", IEEE Journal of Emerging and Selected Topics in Power Electronics, Vol. 7, No. 2, pp. 1094-1106, 2019.

[21] Siddique, M. D., Mekhilef, S., Shah, N.M. and Memon, M. A., "*Optimal design of a new cascaded multilevel inverter topology with reduced switch count*", IEEE Access, Vol. 7, pp. 24498-24510, 2019.

[22] Saeedian, M., Adabi, J. and Hosseini, S. M., "*Cascaded multilevel inverter based on symmetric–asymmetric DC sources with reduced number of components*", IET Power Electron, Vol. 10, No. 12, pp. 1468-1478, 2017.

[23] Samsami, H., Taheri, A. and Sammanbakhsh, R., "*New bidirectional multilevel inverter topology with staircase cascading for symmetric and asymmetric structures*", IET Power Electronics, Vol. 10, No. 11, pp. 1315-1323, 2017.

[24] Saeedian, M., Adabi, M.E., Hosseini, S.M., Adabi, J., Pouresmaeil E., "*A Novel Step-Up Single Source Multilevel Inverter: Topology, Operating Principle, and Modulation*", IEEE Transactions on Power Electronics, Vol. 34, No. 4, 3269-3282, 2018.Samadaei, E., Sheikholeslami, A., Gholamian, S.A. and Adabi, J., "*A square T-type (ST-Type) module for asymmetrical multilevel inverters*", IEEE Transactions on Power Electronics, Vol. 33, No. 2, pp. 987-996, 2017.

[25] Barzegarkhoo, R., Moradzadeh, M., Zamiri, E., Kojabadi, H.M. and Blaabjerg, F., "*A new boost switched-capacitor multilevel converter with reduced circuit devices*", IEEE Transactions on Power Electronics, Vol. 33, No. 8, pp. 6738-6754, 2017.

[26] Ali, J. S. M., Alishah, R. S., Sandeep, N., Hosseini, S. H., Babaei, E., V. Krishnasay and U. R. Yaragatti, "*A new generalized multilevel converter topology based on cascaded connection of basic units*", IEEE Journal of Emerging and Selected Topics in Power Electronics, Vol. 7, No. 4, pp. 2498 - 2512 , 2019.

[27] Banaei MR, Oskuee MR, Khounjahan H., "*Reconfiguration of semi-cascaded multilevel inverter to improve systems performance parameters*", IET Power Electronics, Vol. 7, No. 5, pp. 1106-1112, 2014.

[28] Kangarlu, M.F., Babaei, E., Laali, S., "*Symmetric multilevel inverter with reduced components based on non-insulated dc voltage sources*", IET Power Electronics, Vol. 5, No. 5, pp. 571-581, 2012.

[29] Ebrahimi, J., Babaei, E. and Gharehpetian, G. B., ""*A new topology of cascaded multilevel converters with reduced number of components for high-voltage applications*", IEEE Transactions on Power Electronics, Vol. 26, No. 11, pp. 3109-3118, 2011.

[30] Yousofi-Darmian, S., Barakati, S.M., "*A new asymmetric multilevel inverter with reduced number of components*", IEEE Journal of Emerging and Selected Topics in Power Electronics, Vol. 8, No. 4, pp. 4333-4342, 2020.

[31] Loh, P.C., Holmes, D.G. and Lipo, T.A., "*Implementation and control of distributed PWM cascaded multilevel inverters with minimal harmonic distortion and common-mode voltage*", IEEE Transactions on Power Electronics, Vol. 20, No. 1, pp. 90-99, 2005.

[32] Yao, W., Hu, H. and Lu, Z., "*Comparisons of space-vector modulation and carrier-based modulation of multilevel inverter*", IEEE Trans. Power Electronics, Vol. 23, No. 1, pp. 45-51, 2008.

[33] Du, Z., Tolbert, L.M. and Chiasson, J.N., "*Active harmonic elimination for multilevel converters*", IEEE Transactions on Power Electronics, Vol. 21, No. 2, pp. 459-469, 2006.

[34] Hu, P. and Jiang, D., "*A level-increased nearest level modulation method for modular multilevel converters*", IEEE Transactions on Power Electronics, Vol. 30, No. 4, pp. 1836-1842, 2015.

[35] Srndovic, M., Zhetessov, A., Alizadeh, T., Familiant, Y.L., Grandi, G. and Ruderman, A., "*Simultaneous selective harmonic elimination and THD minimization for a single-phase multilevel inverter with staircase modulation*", IEEE Transactions on Industry Applications, Vol. 54, No. 2, pp. 1532-1541, 2018.

[36] Rosas-Caro, J. C., Ramirez, J. M., Peng, F. Z. and Valderrabano, A., "*A DC-DC multilevel boost converter*", IET Power Electronics, Vol. 3, No. 1, pp. 129-137, 2010.